

31/31/5

④日本国特許庁(JP)

④特許出願公開

④公開特許公報(A)

昭61-50195

(A)

⑤Int.Cl.<sup>1</sup>  
G 09 G 3/20

識別記号 廈内整理番号  
7436-5C

④公開 昭和61年(1986)3月12日

審査請求 有 発明の数 3 (全22頁)

④発明の名称 スイッチング回路およびそれを使用するマトリックス装置

④特願 昭60-117630

④出願 昭60(1985)5月30日

後先掲主張 ④1984年5月30日④ベルギー(B E)④84200778.3

④発明者 グイド・ペトラス・セ  
オフィール・コンスタ  
ント・ルメリー

ベルギー國, ピー-2560 ルムスト, アントワーブス・ス  
テインベーク 42

④出願人 インターナショナル・  
スタンダード・エレクト  
トリック・コーポレイ  
ション

アメリカ合衆國, ニューヨーク州 10022, ニューヨー  
ク, パーク・アヴェニュー 320

④代理人 弁理士 鈴江 武彦 外2名

### 明細書

#### 1. 発明の名称

スイッチング回路および  
それを使用するマトリックス装置

#### 2. 特許請求の範囲

(1) 本発明はマトリックスおよび回路切替装置を具  
有し、前記圧縮マトリックスは交差点を決定する  
複数の交差ライン系列を備え、前記切替装置は前  
記圧縮マトリックスの異なるたる間に沿って記述さ  
れた複数の切换装置を備え、前記ライン系列の少  
なくとも一つの別々のラインに結合されたライン  
出力端子を備え、前記切替装置はまた前記切换装  
置に結合され、この装置端子に入力は出力は前記す  
る如く構成された入力信号端子を備えているマトリ  
ックス装置において、

前記各切换装置はそれぞれの記録線出力端子  
の一つを有し、シフトレクスターを構成するよう  
にはされた複数の切换回路と、前記入力は出力をこ  
のシフトレクスターを通過してシフトさせるシフト  
回路とおよびの記シフトの方向を制御する方向

制御手段とを具備していることを特徴とするマト  
リックス装置。

(2) 前記ライン系列の一つに対する前記入力は  
出力は前記入力は出力は前記入力は出力は前記入  
力は出力は前記入力は出力は前記入力は出力は前  
記マトリックス装置の同じ間に供給されていること  
を特徴とする特許請求の範囲第1項記載のマト  
リックス装置。

(3) 前記ライン系列の少なくとも一つの直角に  
接する二つのラインに結合された前記出力端子は  
それぞれ前記圧縮マトリックス装置の別々の間に  
おいて接続されていることを特徴とする特許請求  
の範囲第1項記載のマトリックス装置。

(4) 前記マトリックス装置は前記圧縮マトリ  
ックスを構成しているスマートチップ装置フラットパ  
ネル型表示装置および前記表示装置の周囲に配置  
されている前記切换装置を支持するフラットパネ  
ルであり、前記表示装置のセルは前記交差点に位  
置していることを特徴とする特許請求の範囲第1  
項記載のマトリックス装置。

(5) 前記各切换装置は、前記方向制御手段によ

り得られるは第スイッチング回路を備えた記述第1および第2の端子あるいは第3および第4の端子間に相補的に結合されることでできる組合せ手段を有することを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(6) 前記は第スイッチング回路は、第1および第2の端子あるいは第3および第4の端子間に相補的に結合されることでできる、前記第2の端子および第4の端子に互いに接続され、は号メモリ回路を経て相補的に通過状態になるように制御される2個のゲートの共通端子に結合され、その他の端子はそれぞれ前記第1および第3の端子に結合されていることを特徴とする特許請求の範囲第5項記載のマトリックス装置。

(7) 前記各端子回路により構成されたシフトレジスタは、複数のは第スイッチング回路の成膜後段により構成され、このスイッチング回路は前記第1および第2の端子あるいは第3および第4の端子間に相補的に結合できることでできる組合せ手段を有し、前記は第スイッチング回路はその回路の

されたラインの電気的状態を決定する出力は号を前記出力回路が供給することができる前記ライン出力端子を有している組合せ手段を有していることを特徴とする特許請求の範囲第6項記載のマトリックス装置。

(11) 前記組合せ手段は前記入力信号の他方のものの制御下に前記入力信号の若干のものをラッピング手段を用いていることを特徴とする特許請求の範囲第10項記載のマトリックス装置。

(12) 前記スイッチング回路は各入力端子における少なくとも3個の電圧の中の一つを共通の出力端子に選択的に結合することができる如く構成され、第1および第2の入力端子を前記共通の出力端子に結合する第1および第2の回路が、少なくとも1個のDMOSスイッチ装置を具備し、第3の入力端子を前記共通の出力端子に結合する第3の回路が選択され別に結合された2個のDMOSスイッチ装置を具備しており、前記各ライン出力端子は前記各出力端子であることを特徴とす

る前記各端子が次の回路の第2および第3の端子にそれぞれ結合された成膜後段であることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(8) 前記各端子回路は組合せの組合せ端子を有し、それに前記入力信号がそれに供給され、その中の少なくとも一つが前記第2回路ラインを介して前記されたインターフェイス回路に結合され前記インターフェイス回路は前記第2回路の組合せ手段によって制御されていることを特徴とする特許請求の範囲第7項記載のマトリックス装置。

(9) 前記各端子を介して並列に接続された複数の電動変速機が少なくとも前記端子マトリックスの一方の端に位置していることを特徴とする特許請求の範囲第8項記載のマトリックス装置。

(10) 前記端子は前記は号メモリ回路に結合され、前記入力信号を前記端子回路に結合されたスイッチング回路を形成している時は各端子の回路の引当のうちのものを削除する複数の要素よりなる複数の端子に变换するよう構成され、かつ、結合

する特許請求の範囲第10項記載のマトリックス装置。

(13) 第1および第2の端子あるいは第3および第4の端子間に相補的に結合できることでできるスイッチング回路において、

前記第2の端子および第4の端子は互いに接続され、は号メモリ回路を経て相補的に通過状態になるように制御される2個のゲートの共通端子に結合され、その他の端子はそれぞれ前記第1および第3の端子に結合されていることを特徴とするは第スイッチング回路。

(14) 前記回路は、一つの回路がその回路の第1および第4の端子を次の回路の第2および第3の端子にそれぞれ結合されて反復段数を逆反していることを特徴とする特許請求の範囲第13項記載のは第スイッチング回路。

(15) 前記成膜の端子における2個の端子は前記されたインターフェイス回路を経て第2回路ラインには結合されていることを特徴とする特許請求の範囲第14項記載のは第スイッチング回路。

(16) 前記構成されたラインインクーフェイス回路は前記両方向ラインと前記2端の端子の一方との間の信号を再生し、伝送できるようにし、これらの端子の他方のものと前記両方向ラインとの間の伝送を阻止する第1の手段と、前記他方の端子と両方向ラインとの間の信号を再生し、伝送できるようにし、前記他方の端子と前記両方向ラインとの間の伝送を阻止する第2の手段とを具備していることを特徴とする特許請求の範囲第15項記載の信号スイッチング回路。

(17) 各入力端子における少なくとも3端の電圧の中の一つを共通の出力端子に選択的に結合することできるスイッチング回路において、

第1および第2の入力端子を前記共通の出力端子には結合する第1および第2の回路が、少なくとも1端のDMOSスイッチ装置を具備し、第3の入力端子を前記共通の出力端子に結合する1以上の第3の回路が並列に結合された2端のDMOSスイッチ装置を具備していることを特徴とするスイッチング回路。

又は、前記符号の3端の要素が第3の入力端子における電圧が前記共通出力端子に供給されるものであるときに阻止されることを特徴とする特許請求の範囲第20項記載のスイッチング回路。

(22) 前記第1および第2の回路が同一であり、前記第3の回路の前記動作手段に第1の相互接続手段を介して結合されているそれらのレベル交換部を備えており、前記第1および第2の回路の動作手段が第2の相互接続手段を介して前記第3の回路のレベル交換部結合されており、前記第3の回路は前記第1および第2の回路の動作手段を削除することを特徴とする特許請求の範囲第20項記載のスイッチング回路。

(23) 前記DMOSスイッチは同じ導電型のDMOSトランジスタであり、トランジスタおよび抵抗を備えた前記動作手段は前記抵抗を通じて正電圧の方向にその双方のゲートキャッシュアンスを充電することによって前記回路のDMOSトランジスタをゆっくりと導通状態にすることができ、

(18) 前記各回路が各DMOSスイッチ装置と並列してそのDMOSスイッチ装置を経るとよりいちどと並列に結合することでのさる動作手段を具備していることを特徴とする特許請求の範囲第17項記載のは号スイッチング回路。

(19) 前記回路が互いに接続され、入力端子により前記各回路の別々のものを組合する3回の要素を有する多段の符号を発生することできる論理手段に結合されていることを特徴とする特許請求の範囲第17項記載の信号スイッチング回路。

(20) 前記回路のそれぞれは、前記論理手段と前記動作手段との間に組合された組合装置を備え、前記動作手段と共に前記符号の要素を前記DMOS装置を切替する前記符号に変換するには用されているレベル交換部を具備していることを特徴とする特許請求の範囲第18項記載のスイッチング回路。

(21) 前記DMOS装置、前記動作手段、および前記レベル交換部の能動装置を通して得られる基

前記トランジスタのソース・ドレイン端を介してそのゲート電圧に負の電圧を供給することにより前記DMOSトランジスタを急激に阻止することができる特徴とする特許請求の範囲第16-8記載のスイッチング回路。

(24) 前記負の電圧が前記動作手段のそれぞれの前記トランジスタのソース電圧に定常的に供給され、前記第1および第2の回路に含まれた前記トランジスタは前記各レベル交換部および前記第3の回路の前記動作手段によって前記第1の相互接続手段を介して削除され、前記第3の回路の前記トランジスタは前記結合されたレベル交換部によつてのみ削除され、前記正の電圧は前記第3の当該に含まれた前記動作手段の前記抵抗の一端に定常的に供給され、前記第1および第2の回路に含まれた前記動作手段の前記抵抗の一端に前記第2の相互接続手段を介してに供給されることを特徴とする特許請求の範囲第22項記載のスイッチング回路。

### 3. 見明の採用な説明

## 【発明の技術分野】

この発明は、並びマトリックスおよび印記装置の組合せを対象とし、印記部はマトリックスに反応性を決定する役立の反応ライン系列を有し、印記部が反応部に印記部はマトリックスの別々の間に配置された複数の反応部を有し、印記ライン系列の少なくとも一つの別々のラインに結合されたライン出力端子を有し、印記部の反応部はまた印記部の反応部に結合され、この反応部に入力信号を供給する如く構成された入力信号端子を有しているマトリックス装置に関するものである。

## 【発明の技術的背景】

そのような装置は、例えば英國特許出願GB2120440Aによつてすでに知られている。反応部は並びマトリックスの反対側にあり、それによつてマトリックスライン間の距離の2倍である接線端子間の距離が得られる利点がある。しかしながら、それにおいては反対側にあるラインは異なった段階のために使用されている。

## 【発明の目的】

には手段を結合するのに必要なコネクタ端子の数は減少される。一方、これらのシフトレジスタは直角方向のものであるために、それらはマトリックスの同じ側から供給することができ、驱动装置が同一に作られ、マトリックスの背面に面してこれらのライン出力端子の大半分を配置することができる。そのような驱动装置の別の利点は、チップ上に実装されたとき、出力端子がその4倍に配置できることである。

これらの利点は次のような考案から得ることができる。

驱动装置は、もしもこれらのライン出力端子の大半分がマトリックスに面しており、入力信号がこのマトリックスの同一側からシフトレジスタに分配されるように配置されるならば、同一にすることができる。しかしながら、この場合には必要なコネクタ端子の数が増加し、さらに入力信号は反対の順序でシフトレジスタを通りシフトされなければならない。同一の驱动装置を使用できるようにする別の方法はこれらの装置の下方にこ

この発明の目的一は、上記記載のマトリックス装置であるが、しかしながらのは段階当たり最大の端子数を有し、多少の誤差によつては多少度には合されることでできる同一の驱动装置を使用することでできるマトリックス装置を提供することである。

## 【発明の概要】

この発明によれば、この目的は、印記各反応部がそれぞれ印記ライン出力端子の一つを有し、シフトレジスタを形成するように実装された複数の驱动回路と、印記入力信号をこのシフトレジスタを通してシフトさせるシフト制御手段とおよび印記シフトの方向を制御する方向切換手段とを具備していることによつて達成される。

この発明の別の特徴は、印記ライン系列の一つに対する印記入力信号が印記入力信号端子からコネクタ端子を通り印記マトリックス装置の同じ側に供給されていることにある。

マトリックスの同じ側から供給されるシフトレジスタの使用によつて、これらのシフトレジスタ

これらのラインを延長することによつてこのマトリックスの対応するラインにマトリックスの一方の側に配置された驱动装置のライン出力端子を接続することである。しかしながら、この場合には、マトリックスに面するチップの側は端子を有することができます。それ故装置表面積当たりの全体の端子数は著しく減少する。印記のように驱动装置がチップ上に実装されている場合における表面積当たりの端子数が大きいことは特に留意であることに注意すべきである。チップの寸法を増加することによつてこの数を増加させることは可能であるが、これはチップが設置されるパッケージの大きさによつて制限される。さらに信頼的抵抗を良好にするためにできるだけ正方形のチップが好ましい。

同一の驱动装置を使用する代わりには段階式の驱动装置は一つと複数の設計を有するけれども、該段階式が存在するために部分的に共通の設計により構成がめつても2種の別々のチップよりも安価に製作され、テストされ、良品されることが可能である。

この発明はまた第1および第2の電子回路には第3および第4の電子回路が接続された相補型は合を可逆にする複数スイッチング回路に関する。

そのようなスイッチング回路は從来知られており、一般に2回の組合のそれそれとして使用される2回の相補型の接続されたスイッチまたはゲートによって実現される。

この発明の別の目的は、上記形式であるが、第1および第2の電子回路には第3および第4の電子回路で伝達されるべき信号を記憶させることができて、しかも特に簡単な構成を有したスイッチング回路を提供することである。

この発明によれば、この目的は、前記第2の電子回路および第4の電子回路が互いに接続され、信号メモリ回路を通じて相補的に逆伝状態になるように接続される2回のゲートの共通端子には合され、その他の端子がそれぞれ前記第1および第3の電子回路に結合されることによって達成される。

このようにして、スイッチング回路は上記信号を記憶し、上記共通端子を有する2回の相補的に

によって逆反される。

スイッチング回路としてDMOSトランジスタのソース・ドレイン端子を使用することは、それらが上記300ボルトのような比較的高い電圧に耐えることができるために選択している。しかしながら、そのようなDMOSトランジスタはそのソース・ドレイン端子を分離する寄生ダイオードを有している。もしも、第1の入力端子における電圧が3回の中で最も高いものであれば、第1の回路のDMOSトランジスタはそのときバイアスされ、そのためその寄生ダイオードは常に阻止され、このトランジスタの開放または閉鎖状態に影響はない。その代わりに、もしも、第2の入力端子における電圧が3回の中で最も低いものであれば、第2の回路のDMOSトランジスタもまたバイアスされ、そのためその寄生ダイオードは常に阻止され、例えば一つの回路のDMOSトランジスタのソースが他の回路のDMOSトランジスタのドレインと共に共通出力端子に接続される。

他の二つの回路を有する第3の入力端子にお

け接続されるゲートにより形成されたただ一つの電子切替装置の使用、および2回の組合による逆伝回路の共通の使用により非常に簡単な構造である。

この発明はさらに各入力端子における少なくとも3回の電圧の中の一つを共通の出力端子に逆伝時に結合することによってさるスイッチング回路に関する。

この発明のさらに別の目的は、このような多段スイッチング入力回路により、これらの入力端子の一つと共通出力端子との間の接続を実現し、一方これら入力端子に供給された電圧回路の回路を、特に電子回路の電圧が比較的高い、例えば300ボルトであるときに並けることである。

この目的は、第1および第2の入力端子をそれぞれ前記共通の出力端子に接続する第1および第2の回路が、少なくとも1回のDMOSスイッチング回路を有し、第3の入力端子を前記共通の出力端子に結合する第3の回路が正向き直列に結合された2回のDMOSスイッチング回路を有すること

による電圧により、そのバイアス方向に關係なく第3の回路における対応するDMOSトランジスタは2回の他の電圧の一つが共通出力端子に存在するとき常にその寄生ダイオードを導通状態に置く。しかし、その寄生ダイオードが逆方向直列に接続されている2回のDMOSトランジスタはこの第3の回路に対する回路を解決する。

上述の、およびその他のこの発明の目的および構成は應用回路を考慮にした以下の実施例の説明によりさらに明確に理解されるであろう。

#### 【発明の実施例】

第1図に示されたマトリックス的なローラフラットパネル表示装置FPDは液晶表示装置LCDおよびこの表示装置の周囲に配置された周辺回路を備えている。液晶表示装置LCDは図で太い線で示された、それぞれマトリックスの行および列を構成している透明導体ストライプはそれをそれだけた2枚のガラス板の間にサンドウヰッフル状に挟まれたスマートチップ液晶の薄膜を封入している。2枚のそのような垂直な行および列ストライプの

表示区間は1行の表示装置で2行の表示を表わしており、表示装置は100行および720列に分割された288000行のそのような12列を有している。これはそれぞれ9列、16行によりそれぞれ決定されたアルファベットや数字の2000字を表示するのに充分である。

この表示装置で使用されているスマートック装置の主要な利点はその表示の状態を迅速に変化できることである。透明状態はクリアにする動作の結果であり、不透明状態は立消動作の結果である。不透明状態から透明状態へ、互いにその反対への検索の状態の変化は対応する表示区間ににおける行および列ストライプに供給される駆動信号から直接出されることができる。立消機能（不透明検索を生成する）は常に50Hzと信号の1サイクル時間、すなわち20ミリ秒を必要とする。クリア機能（透明検索を生成する）は1.5kHzと信号の3サイクル時間、すなわち2ミリ秒を必要とする。追加のサイクルは特に重複の影響を有しない。スマートック装置材質の別の重要な特性はその電圧

しそい値である。すなわち、それは電圧の少し少レベルに達するまでは状態を変化させない。このレベルが指定のレベルにおいて超過されたときその検索は供給された信号によって示された状態を取る。しそい値の近くでは立消材質は段分立消を示す。しかしながら、瞬間電圧が増加すると立消時間は減少する。

不平滑な足跡信号は行または列ストライプの運動に使用してはならない。用ひならば立消材質に長時間供給されるDC電圧はその特性および立消に立消を及ぼすからである。それ立消のこれらの足跡は形によく平均されていかなければならない。すなわち、その正および負の振幅および周波数は容しくなければならない。

行中の全ての検索の可視領域を制御するために、まず、この行全般が全ての可視領域を実効的に消去するように立消状態にされ、その後新しい検索を表示するために選択された信号がクリア（透明）にされ、一方その行の残りの検索はその立消状態のまま残る。これは、立消機能が少なくとも一つ

の行において行われ、一方クリア動作は常に一時に1行づつ行われることを意味している。しかしながら、その1行において特定の個々の検索だけがクリアにされるように選択される。

立消波形は第2図に示されている。検索の立消はピーク対ピークで600ボルトの振幅を有する50Hzの方形波PSCの1サイクルをそれに差動的に供給することによって行われる。二つのモードが立消に使用される。最初のモードによれば、全パネルが立消状態にされる。これはそれぞれ1サイクル中全列ストライプおよび全行ストライプに位相が反対の方形波CSCおよびRSCを供給することによって行われる。これらの波形は300ボルトのピーカー対ピーカー振幅を有する。さらに詳しく説明すると、最初の半サイクル中+150ボルトの電圧(CSC)が全ての列ストライプに供給され、一方-150ボルトの電圧(RSC)が表示装置の全ての行ストライプに供給される。その結果生じた立消は300ボルトの振幅を有する(PS C)。第2の半サイクル中全ての列ストライプに

供給される電圧(CSC)は-150ボルトに変化し、一方全ての行ストライプに供給される電圧(RSC)は+150ボルトに変化する。これは列ストライプに300ボルトの下向きの電圧ステップを生じ、行ストライプに300ボルトの上向きの電圧ステップを生じる。したがって各検索には600ボルトの所要の立消電圧ステップが得られる。これは全ての検索を立消の状態にする。

第2の立消モードによれば、選択された行だけが立消状態にされる。この場合には、電圧波形CSCは全ての列に供給され、一方CSCに対して反対位相である電圧波形RSCは立消されるべき行ストライプだけに供給される。RSCと立消同時にある方形電圧波RNSCが他の行ストライプに供給される。したがってこれら立消に与げられた行の検索に与えられる差電圧PNSCはビロであり、したがってそこでは立消は生じない。

クリア機能は、個々の検索を個別にそれで可視領域を表示するために使用される。この動作は、前に立消状態に設定された同一の行の立消

されたは月について行われ、300ボルトのピーク対ピーク電圧（第3回参照）を与える1.5

kHzと方波电压は月PCLの3サイクルの平均電圧よりなる。並列的電圧の三級について以下を略す。

單一の送信された行ストライアに対してSTR 08E（第3回）と呼ばれる方形“行電圧”は月の3サイクルが供給され、他の全ての行ストライアは複数電圧に供給される。信号STROBEには300ボルトのピーク対ピーク電圧を与える。全ての別ストライアに対して信号STROBEと同じ周波数を有する別の方形“別電圧”は月CNCまたはCC（それぞれ60ボルトのピーク対ピーク電圧）が全クリア動作用電圧で供給される。信号STROBEに対して信号CNCは同じ位相であり、信号CCは反対位相である。これらの波形は第3回に示されている。信号CCは信号がクリアされるべき別ストライアに供給され、一方信号CNCは信号が既に状態のまま残される別ストライアに供給される。

#### もないと示す

第1の場合に対しては、同じ別において信号は別ストライアの信号CCおよびテストストライアの接続電圧を与えられる。これはその結果として差信号（ピーク対ピーク60ボルト）を生じ、それは信号CCと同一であり、信号にその以前の状態に影響を及ぼすことなく反転面供給されることができる。

第2の場合に対しては、同じ行において信号は別ストライアの信号CNCおよび行ストライアの信号STROBEを与えられる。この組合せはピーク対ピーク 240ボルト差電圧PNCL（第3回参照）をこれらの信号の両端に生じる。この差電圧PNCLは長い時間上に保持されることなく、各行に供給される時間は3サイクル（2ミリ秒）以下であるから、これらの信号の状態は影響を受けない。

第3の場合には信号は行においても列においてもクリアにされておらず、信号CNCは別ストライアに供給され、一方行ストライアは信号電圧に

信号STROBEおよび信号CCが信号に供給されるとき、これらのは月は加算され、信号は最初に信号のクリアは月PCLを得る。したがつて、その信号は3サイクル中ビクリアにされる。この信号レベルは月PCLは各行機器に一緒に1行づつ、3サイクルの時間だけ供給される。

クリア動作において、信号CCの電圧しきい值両端ならびに供給された信号の接続両端は信号早く反転されなければならない。またに選択された信号だけに適切にアクセスするために、それ迄クリアにされない他の信号に供給される接続電圧を検討することが必要である。信号がクリアにされてはならない3個の状態について検討されなければならない。

これらは、

- 1) アドレスされた信号として同じ別にある信号
- 2) アドレスされた信号として同じ行にあるが、クリアにされるべきではない信号
- 3) アドレスされた信号と同じ別にも同じ行に

ある。これは信号の両端にCNCに寄しい差電圧を発生し、それはその前の状態に影響を及ぼすことなく信号に対して長期間供給することができます。

起動周波数（50Hzおよび1.5 kHz）は平均値であることに注意する必要がある。多天、強度感知手段（図示せず）が表示装置に設けられ、該装置の强度の調節として上記周波数を負担する。典型的にはこれらの周波数は“クリア”および“反転”に対してそれぞれ 8.3 乃至 50Hz および 1 乃至 2 kHz である。

再び第1図を参照すると、前記説明回路は各回路の起動装置FPORを備え、これらの各起動装置FPORはそれぞれ各行および別ストライアに適合され30のストライアを駆動している。各起動装置FPORは單一チップとして構成され、その各起動装置は上記は月CSC, CC, CNCまたはRSC, RNSC, STROBEをそれぞれ確保する行および別ストライアに供給することができる。これらのは月の正と負の部分との切替えは、立上

がりがよび下がり時間に遅い時間で生じ、それは30マイクロ秒以下である。行および列の同期装置が動作されるととき、対応するストライプの交叉点における信号は不透明または透明状態にされ、それは呼び状態を変更するように励起されるまでそのままである。

驱动装置FPDRは表示装置LCDの両端に沿って配置され、LCDの1端に沿って配置されたものはその端部で終つる偏光または垂直方向のストライプのいずれかを切替し、一方反対端に付けられた驱动装置は他のパリティのストライプを切替する。上記のように各驱动装置FPDRは30のストライプを切替することができ、720の列ストライプがあるから、12個の驱动装置FPDRはLCDの上端および下端に沿って配置されている。同様に、400の行ストライプがあるから、7回の驱动装置FPDRがこの表示装置LCDの左端および右端に沿って配置されている。表示装置LCDのそれぞれの端部に沿って驱动装置FPDRは直接接続されており、それ故に別の制御データを

より直接昇給はこれらの驱动装置を通してシフトされることができる。フラットパネル表示装置FPDRはさらにそれぞれFPDRの2端の接続する端に沿って位置している2組のコネクタ端子を有するだけであり、驱动装置FPDRは全て同一であり、接続するストライプに接続され、これらのストライプの方向に受けられた出力端子を有している。これらの理由で、上記2組の制御データおよび驱动装置は表示装置LCDの一端に沿って配置された驱动装置FPDRを一向向にシフトされなければならない、一方、表示装置LCDの反対端に沿って配置された驱动装置FPDRでは反対方向にシフトされなければならない。シフトの方向はシフト方向信号LC、RC、LRおよびRRにより驱动装置FPDRの接続抵抗で切替され、それらのシフト方向信号は、列の上端、列の下端、行の左端および行の右端においてそれぞれ直接接続の驱动装置FPDRに供給される。列ストライプに供給された並列制御データ信号は列クロック信号CLKC、列周波数信号FREQC、

別途エネーブル信号EN<sub>C</sub>および別途復帰信号SEL<sub>C</sub>である。別の上端に沿って配置された驱动装置FPDRはこれらの列の下端に沿って配置された驱动装置FPDRと異なるストライプに接続されているから、追加の並列情報は信号DATA<sub>LC</sub>およびDATA<sub>RC</sub>がそれぞれ2個の驱动装置FPDRの直接接続に接続される。さらに詳細に説明するように、前述の並列制御データは左と右に接続するこの並列信号 DATA<sub>LC</sub> および DATA<sub>RC</sub> は表示装置LCDの別ストライプに供給された前述のは信号 CSC、CC、CNC を発生するためには使用される。別ストライプに供給されるものと同様な並列制御データおよび直接接続はまた行ストライプにも供給される。これらの制御データ信号は行クロック信号CLKR、行周波数信号FREQR、別途エネーブル信号EN<sub>R</sub>および行復帰信号SEL<sub>R</sub>である。別の場合と同様に、追加の並列信号は信号 DATA<sub>LR</sub> および DATA<sub>RR</sub> が前の並列制御データ信号と共に使用され、表示装置LCDの行ストライプに供給される前述

のは信号 RSC、RS<sub>C</sub> および STROBE を発生させる。

驱动装置FPDRは第4図に詳しく述べてある。それは四端子D、端子11～15および01～05および30の出力端子OUT 1～30を有し、10回のインターフェイス回路IC1～10、クロック回路CKC、方向制御回路RLC、30回の論理装置LD 1～30および30回の長い電圧信号HV<sub>D</sub> 1～30を有している。第四端子Dは方向制御回路RLCを通じて内部バスRBおよびLBに結合され、それは全てのインターフェイス回路IC1～10の入力DA、DBならびに全ての論理装置LD 1～30の入力RB、LBを構成する。端子11および01はそれぞれIC1およびIC6を介してLD1の端子AI、BOおよびLD30の端子AO、BIに接続され、端子12、02：13、03：14、04：15、05はそれぞれIC2、IC7：IC3、IC8：IC4、IC9：IC5、IC10を介して内部バスSS、FB、EBおよびCKSに接続されている。バスSB、

F6, E8 はまた論理段子 0 ～ 30 の同じ記号を付された端子に接続され、バス CK8 はクロック回路 CKC の入力に接続され、そのクロック回路 CKC の 4 端の出力は論理段子 L0 0 ～ 30 の対応する入力端子に接続されている。論理段子 L0 0 ～ 30 はそれぞれ 3 端の出力端子 IN 1 乃至 IN 3 を有し、それらの端子はそれぞれ出力 OUT 1 ～ 30 を含めた HVO 0 ～ 30 の同じ記号を付された入力端子に接続されている。これらの出力はそれぞれ表示装置 LCD の行または列ストライプに接続されている。

RLC の最初端子 0 は方向を示している最初方向端子 L C, R C, L R, または R R の一つを受けるように接続され、それにおいて、直列端子は以下に説明するように組み合った FPDR 中へシフト（右または左）されなければならない。そのような信号に応じて、そのとき RLC は 2 回の組合せ R および L を出し、それらの端子はそれぞれバス R B および L B に接続されてシフト方向の FPDR の他の回路を報告する。“右にシフト”

されている。この回路 RLC は FPDR の同じ記号の端子端子 0 に対応する入力端子 D および出力端子 R および L を含み、入力端子 0 に接続された抵抗 R1 および出力端子 L に接続されたインバータ INV1 を含んでいる。インバータ INV1 の入力にはまた 2 回のクランプダイオード D1 および D2 が接続され、そのダイオードの直列接続の両端に電源端子 VDD (+12 ボルト) および接地端子 GND にそれぞれ接続されている。さらに、抵抗 R2 と出力端子 R もまたインバータ INV1 の入力に接続されている。抵抗 R2 の他端は VDD に接続されている。入力端子 0 は正常的に接地端子 GND に接続されるか、あるいは左側が開放されている。抵抗 R1 は、左側が正な電圧、右側は零電圧が入力端子 0 に与えられたときクランプダイオード D1 および、または D2 を通って流れる可能性のある電流を制限する。入力端子 0 がアースされているとき、出力端子 R および L はそれぞれ論理段子 0 および 1 にある。反対に入力端子 0 が開回路のとき、出力端子 R は論理 VDD および抵抗 R2 に

に対応する付与された方向信号が端子 0 に供給されたとき、および適当な並用端子 DATA C, DATA RC, DATA LR または DATA RR が先行する FPDR から端子 11 に供給されたとき、この情報信号はインターフェイス回路 IC1 に直列端子を介して端子 01 に、その出力端子 OUT1 に伝送）へ、前記論理回路 L0 0 ～ 30 へもおよびその入力端子 IN1 を介してインターフェイス回路 IC6 に伝送される。端子 01 から直列端子は次の FPDR へ伝送される。左へのシフトに対しては、直列端子は右によって西ほな通路が取られるが、そのとき FPDR の入力端子は 01 であり、出力端子は 11 であり、直列端子は IC6 の出力端子 OUT1 および IC1 の入力端子 IN1 を通って伝送される。FPDR の他のインターフェイス回路 IC2 ～ 5 および IC7 ～ 10 のそれそれに対する入力および出力端子 IN1 および OUT1 は短絡されてそれぞれバス S B, F B, E B および CK8 に接続される。

第 5 図を参照すると、方向切替回路が詳に示

されており、この回路は FPDR の同じ記号の端子端子 1 に接続され、一方出力端子 R はそのとき 0 である。出力端子 R における論理端子 1 は右へのシフトを示し、一方出力端子 L における論理端子 1 は左へのシフトを示す。これらの端子はすでに前に説明したように対応する内部バス B B および L B を介して驱动装置 FPDR の他の回路に供給される。

第 6 図はクロック回路 CKC を示し、それは同じ記号の内部クロックバス CK8 に接続された入力端子 CK8 および同じ記号のクロック回路端子をそれぞれ出力する出力端子 φ1, φ1, φ2, φ2 を有している。クロック回路 CKC はノアゲート NOR 1 およびノアゲート NOR 2 を含み、ノアゲート NOR 1 は入力が端子 CK8 および φ1 に接続され、ノアゲート NOR 2 は入力が端子 φ2 へおよびインバータ INV2 を介して CK8 に接続されている。ノアゲート NOR 1 の出力はインバータ INV3 および INV4 の直列接続を介して φ2 に、およびインバータ INV5 乃至 INV7 の直列接続を介して φ2 に接続されている。ノアゲート NOR 2 の出力は端子 φ1 に接続されている。

アゲート NOR 2 の出力はインバータ INV 3 および INV 4 の直列接続を介してつて、およびインバータ INV 10 および INV 12 の直列接続を介してつてに接続されている。

第 7 図は入力クロックは母 CKB を示し、それは前記のように別クロック信号 CLKC または行クロック信号 CLKR のいずれかである。図にはまた出力クロック信号 φ1, φ1, φ2, φ2 が示されている。入力クロックは母 CKB は入力端子 I 1 または O 5、おおむねインターフェイス回路 IC 5 または IC 10 および内部クロックバス CLKB を介してクロック回路 CLKC の同じ名前の端子 CKB に供給された方形波である。出力は母 φ1, φ2 はそれそれ φ1, φ2 の相反である。 CLKC のインバータの段階接続により、信号 φ1, φ2 は正の部分が負の部分より長い方形波であり、信号 φ1 の正の部分は信号 φ2 の負の部分の中点であり、反対には信号 φ2 の正の部分は信号 φ1 の負の部分の中点である。

上記インターフェイス回路 IC 1~10 の一つが

第 8 図に IC として示されている。それは母端子 1~5 または O 1~5 に接続された母端子 PAD 8P、入力および出力端子 IN 1 および OUT 1 および母端子 DA および O 3 を含めている。母端子 DA および O 3 は内部バス R 8 および信号を介して方向切替回路 RLC によって切り替わる。回路 IC はまた母端子 VDD (12 ボルト) および母端子 OV を有している。母端子 BP は MOS トランジスタ PM1 および NM1 のソース・ドレイン路およびドレイン・ソース路の直列接続の接続点に接続され、PM1 のソース電極は母端子 VDD に接続され、NM1 のソース電極は接続されている。これらのトランジスタ PM1 および NM1 のゲート電極はそれぞれノアゲート NOR 3 の出力および NAND ゲート NAND1 の出力にそれぞれインバータ INV 13 および INV 14 を介して接続されている。NOR 3 の 1 入力は母端子 DA に接続され、NAND1 の 1 入力は母端子 O 8 に接続されている。一方入力端子 IN 1 はインバータ INV 15 を介してノアゲート NOR

3 および NAND ゲート NAND1 の他方の入力に接続されている。母端子 BP はまた別の NAND ゲート NAND2 の入力および別のノアゲート NOR 4 の入力に接続されている。 NAND ゲート NAND2 およびノアゲート NOR 4 の他方の入力はそれぞれ母端子 DA および O 8 に接続され、一方、これらのゲート NAND2 および NOR 4 の出力はそれぞれ MOS トランジスタ PM2 および NM2 のゲート電極に接続されている。 PM1 および NM1 の場合のように PM2 のソース・ドレイン路は NM2 のドレイン・ソース路と別に接続され、PM2 のソース電極は母端子 VDD に接続され、NM2 のソース電極は接続されている。さらに出力端子 OUT 1 は PM2 と NM2 の接続点に接続されている。

もしも、データが母端子 BP から出力端子 OUT 1 にシフトされなければならぬならば、論理回路 1 が IC の母端子 DA に供給され、論理回路 0 が母端子 O 8 に供給されなければならぬ。これはインターフェイス回路 IC 1~5 に対しては右

へのシフト (R-1, L-0) に対応し、IC 6~10 に対しては左へのシフト (R-0, L-1) に対応する。上の状態 (DA-1, DB-0) においては論理回路 1 が常に NOR 3 の 1 入力に供給され、一方論理回路 0 が常に NAND1 の 1 入力に供給される。これは、NOR 3 および NAND1 の出力がそれぞれ 0 および 1 であり、それ故論理回路 1 がトランジスタ PM1 のゲート電極に供給され、論理回路 0 がトランジスタ NM1 のゲート電極に供給されることを意味している。これらのトランジスタ PM1 および NM1 はそのとき負荷共に阻止され、入力端子 IN 1 は母端子 BP から遮断される。さらに、上と同じ条件では母端子 BP に供給された論理回路 1 は NAND2 および NOR 4 の出力に論理回路 0 を生じ、それ故トランジスタ PM2 が導通し、トランジスタ NM2 が阻止される。これは出力端子 OUT 1 に論理回路 VDD に対応する論理回路 1 を生じる。反対に、母端子 BP に供給された論理回路 0 は NAND2 および NOR 4 の出力に論理回路 1 を生じ、それ故トランジスタ PM2

は阻止され、トランクスクリミ<sub>1</sub>にはなれず、それは出力端子 OUT<sub>1</sub>に与えられる論理量 O<sub>1</sub>、すなわち論理量を発生する。四つの動作は論理量 O<sub>1</sub>および 1 が論理端子 DA<sub>1</sub>、OB<sub>1</sub>にそれぞれ供給されたときにも生じる。トランクスクリミ<sub>2</sub>および NM<sub>2</sub>はそのとき両者共に阻止され、それ故出力端子 OUT<sub>1</sub>は端子 BP<sub>1</sub>から開放され、入力端子 IN<sub>1</sub>に供給された論理量は端子 BP<sub>1</sub>に同一の論理量を発生する。MOSトランジスタ PM<sub>1</sub>、NM<sub>1</sub> および PM<sub>2</sub>、NM<sub>2</sub> によってこのインターフェイス回路の端子 BP<sub>1</sub>または IN<sub>1</sub>に供給された入力信号は出力において再変形される。

さらに、大西様の抵抗パットおよび接続線によって大きなキャパシタンスが端子 BP<sub>1</sub>とアース 0 Vとの間に生じる（図示せず）。このキャパシタンスはそれぞれ MOSトランジスタ PM<sub>1</sub> および NM<sub>1</sub> の出力抵抗（図示せず）を経て元に戻される。このキャパシタンスの効果を持てば周波数において多少させるために、上記の出力抵抗は最小にしなければならない。そのようにするために、

ンス（図示せず）に結合された出力抵抗（図示せず）はそれぞれ論理ゲート NAND<sub>2</sub> および NOR<sub>1</sub>において最小であり、それ故インターフェイス回路 IC のこの部分にはインバータは使用されない。

第4図の論理装置 LD<sub>1</sub>～LD<sub>10</sub>の一つが第9図にしDとして示されている。これはそれぞれ驱动装置 FPD<sub>D</sub>R の同じ名前の中間バスに接続された論理端子 L<sub>8</sub>、R<sub>8</sub>、F<sub>8</sub> および S<sub>8</sub> を有し、以下説明するように論理装置 HV<sub>D</sub> の同じ名前の入力端子にそれぞれ接続された出力端子 IN<sub>1</sub>、IN<sub>2</sub> および IN<sub>3</sub> をそれぞれ與えている。論理装置 LD<sub>1</sub> はまた同じ名前のクロック信号を伝送する端子 φ<sub>2</sub>、φ<sub>2</sub> および φ<sub>1</sub>、φ<sub>1</sub> を介してクロック回路 CKC に接続されている。上述のように驱动装置 FPD<sub>D</sub>R の 30 個の論理装置 LD<sub>1</sub>～LD<sub>10</sub> は並列に接続され、各論理装置 LD<sub>1</sub> は論理端子 A<sub>1</sub>、B<sub>0</sub> および A<sub>0</sub>、B<sub>1</sub> を有し、その中の端子 A<sub>1</sub> および B<sub>0</sub> はそれ次の論理装置 LD<sub>1</sub> の端子 A<sub>0</sub> および B<sub>1</sub> に接続されている。論理装置 LD<sub>1</sub> は

MOSトランクスクリミ<sub>1</sub> および NM<sub>1</sub> の大きさとは増加され、その結果これらのトランクスクリミ<sub>1</sub> のゲートキャパシタンスもまた増加する。上記と同じ理由のために、これらのゲートに接続されたトランクスクリミ<sub>2</sub> の出力抵抗（図示せず）が省略されなければならない。インバータ回路は論理ゲート（NAND または NOR）よりもトランジスタが少ないので、インバータ回路で出力抵抗を小さくすることは一つと容易である。それ故、小さい出力抵抗を有するインバータ IN<sub>V13</sub> および IN<sub>V14</sub> が論理ゲート NOR<sub>3</sub> および NAND<sub>1</sub> の出力と MOSトランジスタ PM<sub>1</sub> および NM<sub>1</sub> のゲートとの間にそれぞれ配置される。インターフェイス回路 IC の反対側でもキャパシタンス（図示せず）が端子 OUT<sub>1</sub> とアース電位 0 Vとの間に生じる。しかしながら、このキャパシタンスは端子 BP<sub>1</sub>におけるものよりも小さいと想定する。それ故 NMOSトランジスタ PM<sub>2</sub> および NM<sub>2</sub> は MOSトランジスタ PM<sub>1</sub> および NM<sub>1</sub> よりも小さく、トランジスタ PM<sub>2</sub> および NM<sub>2</sub> のゲートキャパシタンス

それぞれ NMOSトランジスタおよび PMOSトランジスタ（そのゲート電圧上に小さな凹を付して示されている）により構成された通過ゲート PG<sub>1</sub>～PG<sub>7</sub>を備えており、これらのトランジスタのソースおよびドレイン電極は相互に接続され、そのゲート電極は以下説明するように相補論理信号によって制御される。

論理装置 LD<sub>1</sub> の端子 A<sub>1</sub> は、論理端子 L<sub>8</sub> および R<sub>8</sub> に供給された相補方向信号によりそれぞれ切離された 2 組の逆方向並列接続の通過ゲート PG<sub>1</sub> および PG<sub>2</sub> を介してこの端子は論理装置 LD<sub>1</sub> の端子 B<sub>1</sub> に接続されている。これらの通過ゲート PG<sub>1</sub> および PG<sub>2</sub> の接続点は相補クロック信号 φ<sub>1</sub> および φ<sub>2</sub> により切離された通過ゲート PG<sub>3</sub>、インバータ IN<sub>V16</sub>、相補クロック信号 φ<sub>2</sub> および φ<sub>1</sub> により切離された通過ゲート PG<sub>4</sub> および別のインバータ IN<sub>V17</sub> を通って論理装置 LD<sub>1</sub> の端子 B<sub>0</sub> および A<sub>0</sub> に接続されている。さらにインバータ IN<sub>V18</sub> はその入力がインバータ IN<sub>V16</sub> の出力に接続され、その出力はク

ロック信号 $\phi_2$ および $\phi_2$ により供給された通過ゲート PG3 を通ってインバータ INV16 の入力に接続されている。通過ゲート PG3 の出力はまたそれそれ各自は子 IN3 を介して直接およびインバータ INV19 を介してそれに供給された相同期信号により供給された通過ゲート PG6 を介して NANDゲート NAND3 の 1 入力に接続されている。通過ゲート PG6 の出力はまたインバータ INV20 の入力に接続され、そのインバータ INV20 はインバータ INV21 と並列に接続されて通過ゲート PG7 の出力に反し、通過ゲート PG7 の入力はインバータ INV21 の出力に接続され、それは通過ゲート PG7 のそれと相同期の初期信号により供給される。通過ゲート PG6 の出力でもある NAND3 の上記入力および初期子子 F8 は算術的ノアゲート XNR の 2 番の入力である。算術的ノアゲート XNR の出力は直接 ANDゲート AND01 の 1 入力に接続されると共にインバータ INV22 を介して別の ANDゲート AND02 の 1 入力に接続されている。ANDゲート AND01, AND02 の各入力は子 A0 および子 IC6 の入力子子 IN1 およびインターフェイス回路 IC6 自身を通って O1 に伝送される。反対に、論理信号 $\phi_0$ が初期信号子 LB に供給されたとき、すなわち左へシフトの動作の場合においては、しだがつて論理信号 $\phi_0$ が初期信号子 RB に供給されているときには、通過ゲート PG1 が閉じ、PG2 が開く。論理信号 $\phi_0$ の前記並列負担信号に対する入力子子はそのとき B1 であり、対応する出力子子は B0 である。前記と同様に、運動装置 FPDR に対して負担信号は、IC6 および IC1 を通って伝送されるが、入力子子は今度は O1 であり、出力子子は I1 である。IC6 および IC1 においてこの信号はそれぞれ出力子子 OUT1 および入力子子 IN1 を通って伝送される。前記のように右へのシフト動作の場合 (RB-1, LB-0) には、通過ゲート PG1 が閉じ、PG2 が開く。それ故入力子子 B1 に供給された負担信号は子子 B0 に対してさらに論理装置 LD 中へ伝送されることとはできない。反対に入力子子 A1 に供給された負担信号は子子 A0

の 2 番の入力は共に ANDゲート AND03 の出力を反している出力子子 IN1 に接続されている。ANDゲート AND03 の 2 番の入力は子子 NAND03 の出力および INV19 の出力であり、一方、NAND03 の第 2 の入力は初期子子 SB に接続されている。出力子子 IN1 は AND2 の出力子子により反され、出力子子 IN2 は AND01 の出力子子により反されている。

初期信号子 RB に供給された論理信号 $\phi_1$ は、すなわち右へシフトの動作の場合において、しだがつて論理信号 $\phi_0$ が初期子子 LB に供給されている場合においては、通過ゲート PG1 を閉じ、PG2 を開く。論理信号 $\phi_1$ の前記並列負担信号 DATA LC, CARARC, DATALC または DATA RR に対する入力子子はそのとき A1 であり、出力子子は A0 である。この場合に、運動装置 FPDR (図 4 図) の入力子子は I1 であり、その出力子子は O1 であり、それ故 I1 に供給された並列負担信号はインターフェイス回路 IN1、その出力子子 OUT1, LD1 の子子 A1 ないし LD

に伝送される。次にそれはまずクロック信号 $\phi_1$ の正パルスの最初の発生においてインバータ INV16 の入力に供給される。その後クロック信号 $\phi_2$ が高くなると通過ゲート PG4 および PG5 が閉じられ、インバータ INV17 を介して出力信号子子 A0 にシフトされる。この信号はまたフィードバックインバータ INV18 および通過ゲート PG3 を通ってインバータ INV16 に再び供給される。インバータ INV16 および INV18 の出力キャバシタンス (図示せず) が高いために、そこでは両のラッチが行われる。その代わりに、左へのシフト動作 (RB-0, LB-1) に対しては、負担信号は両端に処理されるが、前記のように入力子子はその場合には B1 であり、出力子子は B0 である。

各出力子子 IN1, IN2, IN3 におけるそれと同じ名前の出力信号 IN1, IN2, IN3 の値は子子 A1 または B1 に供給された負担信号 DATA LC/R または DATA RC/R (右へのシフトまたは左へのシフト) および以下説明す

る次の図は常に依存する。すなわち、電子S8へ供給される非エニーブル ENC/R(第1図)、電子S8へ供給される非SEL/R(第1図)、電子FBへ供給される非Freq FREQC/R(第1図)である。

非エニーブル ENC/Rが論理レベル1にある場合は通過ゲートPG6は閉じられ、A1とAOまたはB1とBO間に伝送された差別信号はまたPG6の出力に現われる。しかしながら、これらの信号は最初信号FBおよびSBによって有効と認められず、したがって出力電子IN1~3には有効な出力信号を発生しない。また、非エニーブル ENC/Rは論理レベル1にあるから、INV19の出力は0であり、それ故AND3の出力、したがってまたAND1およびAND2の出力も0である。

非エニーブル ENC/Rの立ち下がり端子においては、通過ゲートPG6は開き、通過ゲートPG7は閉じており、PG6の出力における最後の信号端子はインバータINV20およびINV21か

より通過ゲートPG7よりなる回路中にこれらがインバータの長い出力キャッシュ(回路せず)によってラッピングされる。この場合には出力は電子IN3は、電子S8における送信信号SEL/RおよびINV20およびINV21中にラッピングされた信号は常に共に論理レベル1であるとさのみである。

送信信号SEL/Rおよび復用信号の他の日に対して信号IN1およびIN2は次のブーリアン関数によって表わされる。

$$\begin{aligned} IN1 &= IN3(DATA, \overline{FREQC/R} \\ &\quad + DATA, FREQC/R) \\ IN2 &= IN3(DATA, FREQC/R \\ &\quad + DATA, \overline{FREQC/R}) \end{aligned}$$

ここで、DATAは復用信号DATA/LC/RまたはDATA/RC/Rのいずれか一方である。結論としては信号IN1およびIN2はIN3が0であるとき共に0である。その代わりにIN3が1であるとき、信号IN1およびIN2は上記信号DATAおよびFREQC/Rおよび各独立に

のみ依存する。

ENC/R、SEL/R、FREQC/RおよびDATAの間接における信号IN1、IN2およびIN3の値は次の表に示されている。

Ecr	Ser	Data	IN1	IN2	IN3
1	X	X	0	0	0
0	1	1	0	0	0
0	0	0	Fcr	Fcr	1
0	0	1	Fcr	Fcr	1
0	1	0	Fcr	Fcr	1

ここで、Ecrは信号ENC/R、Serは信号SEL/R、DataはDATAの略号であり、FcrおよびFrcrはそれぞれFREQC/RおよびFREQC/Rの略号であり、Xは注意する必要のないことを示している。

前記表に示された他の意味は第10図を参照した高電圧端子HVDの次の説明により明確になるであろう。この高電圧端子HVDは第4図に示された端子端子FPDRの30回の高電圧端子HVD1~30のいずれか一つを示している。それはそれ

それを直接端子L0の同じ名称の出力電子IN1、IN2、IN3および電圧端子VDD、+V1、-V2、+V3および電圧端子0Vを有している。HVDはまだ表示装置LCDのストライプ(行および列)の同じ名前の端子に接続された出力端子OUTを有する。電子+V1、-V2、+V3に供給される電圧は、電子OUTに接続されたストライプ(行および列)の接続および前述のようにそのストライプ上で行われるべき動作に依存して+150ボルト、-150ボルトおよび+170ボルトまたは+30ボルト、-30ボルトおよび+50ボルトである。HVDに接続されたストライプはその各箇所LCODEによって第10図中に示され、それはHVD端子OUTと接続0Vの他の端子端子R3および端子R4とキャッシュC1の並列接続の直列接続によって構成されている。

高電圧端子HVDは3個の回路HV1、HV2、HV3よりなり、その中HV1とHV2は同一である。それ故、HV1およびHV3についてのみ

以下説明する。

回路HV1は入力端子T1および別の端子T1'、T2'、T3'、T4'を経ていている。この回路HV1は高電圧PNPトランジスタP1を有し、そのベース端子は抵抗RSとRGの接続点に接続され、それらの抵抗は端子VDDと入力端子T1'の間に接続されている。トランジスタP1のエミッタ電圧は直列VDDに接続され、そのコレクタ電圧は高電圧NMOSトランジスタNM3のゲート電圧に接続されると共に抵抗R1を介して端子T1に接続されている。さらに、トランジスタNM3のソース電圧は直列電源端子-V2に接続され、一方そのドレイン電圧は抵抗R3を介して端子T2に接続されると共に第2の高電圧NMOS出力トランジスタNM4のゲート電圧に接続されている。このトランジスタNM4のドレイン電圧は抵抗端子T3に接続され、一方そのソース電圧は端子T4に接続されている。回路HV1に対して、入力端子T1はHVDの入力端子IN1に接続され、端子T3は反相端子+V1に接続され、端子T4

ース電圧は端子-V2に接続され、一方端子T1'はクランプダイオードD3を介してNM6のドレイン電圧に接続されている。端子+V1はまた抵抗R11を介してトランジスタNM6のドレイン電圧とダイオードD3のカソードと1対の高電圧NMOS出力トランジスタNM7およびNM8の接続点に接続され、それらのトランジスタNM7およびNM8のソース電圧は互いに接続されている。出力トランジスタNM7のドレイン電圧は端子0Vに接続され、出力トランジスタNM8のドレイン電圧は端子OUTに接続されている。

高電圧端子HVDの作用について以下説明する。前述のようにこの回路の目的は、端子OUTが接続されるストライプ（行および列）の選択に応じて、また所員の準備（クリアまたはクリア）においてCSC、CC、CNC、RSC、RNSCまたはSTROBEのような信号をその出力端子OUTに出力することである。端子+V1および-V2は回路HV1およびHV2の出力トランジスタNM4を介して端子OUTに供給され、一方端子

HVDの出力は端子OUTに供給されている。一方回路HV2の入力端子T1'はHVDの入力端子IN2に接続され、端子T3'および端子T4'はそれ各自の出力端子OUTおよび電源端子-V2に接続されている。さらに、2つの回路HV1およびHV2の端子T1'およびT2'には下のように回路HV3の同じ名前の端子T1'およびT2'に接続されている。

回路HV3はHVDの同じ名前の端子に対する入力端子IN3を有している。回路HV3はNMOSトランジスタNMSを有し、そのゲート電圧は抵抗端子IN3に接続され、そのソース電圧は端子0Vに、そのドレインは抵抗RGを介して高電圧PNPトランジスタP2のベース電圧に接続されている。トランジスタP2のエミッタ電圧は端子+V3に接続されると共にバイアス抵抗R10を介して自分のベース電圧に接続されている。トランジスタP2のコレクタ電圧は高電圧NMOSトランジスタNM6に接続されると共に端子T2に接続されている。トランジスタNM6のソ

ース電圧は端子-V2に接続され、一方端子T1'はクランプダイオードD3を介してNM6のドレイン電圧に接続されている。端子+V1はまた抵抗R11を介してトランジスタNM6のドレイン電圧とダイオードD3のカソードと1対の高電圧NMOS出力トランジスタNM7およびNM8の接続点に接続され、それらのトランジスタNM7およびNM8のソース電圧は互いに接続されている。出力トランジスタNM7のドレイン電圧は端子0Vに接続され、出力トランジスタNM8のドレイン電圧は端子OUTに接続されている。

高電圧端子HVDの作用について以下説明する。前述のようにこの回路の目的は、端子OUTが接続されるストライプ（行および列）の選択に応じて、また所員の準備（クリアまたはクリア）においてCSC、CC、CNC、RSC、RNSCまたはSTROBEのような信号をその出力端子OUTに出力することである。端子+V1および-V2は回路HV1およびHV2の2つの出力トランジスタNM4を決して両方が導通状態であつてはならない。そうでなければ端子+V1と-V2が短絡される。同じことは出力トランジスタNM7およびNM8の上記出力トランジスタNM4との組合せに対しても言えることである。そのような短絡を避けるために回路HV1～HV3は出力トランジスタNM4：NM7およびNM8をそれらが導通状態にされるより早く阻止するように設計されている。このようにするために、高電圧端子HVDの出力トランジスタNM4：NM7およびNM8は高いゲートキャパシタンス（表示せず）を有し、それらを導通状態にするためにこれらのゲート電圧が高い

- R8 : R11 (R8 - R11 = 10メガオーム) を介してそれぞれ電圧子 +V3 : +V1 に供給されている。さらに説明すれば、これらの各MOSトランジスタは偏する高い電圧を介して正電圧の方向にその高いゲートキャパシタンスを亢進することによってゆっくりと導通状態にされる。反対に、これらの各トランジスタ NM4 : NM7 および NM8 の阻止はそれらのゲート電圧がそのとき導通状態になるトランジスタ NM3 : NM6 のドレイン・ソース路を介して電圧子 -V2 に供給されることによってずっと迅速に行われる。

出力端子 OUT における電圧によって示され、それぞれ入力端子 IN1 ~ IN3 に供給された論理回路の日々の組合せに対応する高電圧装置の3段の可能な状態は以下詳しく解説される。最初の二つの状態においては、論理回路 1 が入力端子 IN3 に供給され、論理回路 1 および 0 が入力端子 IN1 / 2 および IN2 / 1 にそれぞれ供給される。第3の状態においては、入力端子 IN3 における論理回路は 0 であり、したがつてまた入力端子 IN

出力は前記のように第2回および第3回に示されるように CSC, CC, CNC, RSC, RNS C または STROBE のような信号の 1 サイクルに対応する。

前記高電圧装置 HV0 の最初の二つの状態は高に入力端子 IN3 に供給された論理回路 1 および入力端子 IN1 および IN2 にそれぞれ供給された論理の論理回路に対応する。入力端子 IN1 における論理回路 1 および入力端子 IN2 における論理回路 0 は出力端子 OUT に供給されるべき電圧 +V1 を生じ、一方、入力端子 IN1 および IN2 にそれぞれ供給された論理回路 0 および 1 は出力端子 OUT に供給されるべき電圧 -V2 を生じさせる。これらの入力端子の二組合せは自己 HV1 と HV2 が同一であることによって対称である。それ故、それらの一方だけ、すなわち IN1 に 1、および IN2 に 0 の場合だけについて以下説明する。

電圧回路 V00、すなわち +12ボルトに対応する論理回路 1 が入力端子 IN3 に供給されるから、

IN1 および IN2 とも 0 である。

全ての入力端子 IN1 ~ IN3 における電圧子 0 に自己 HV1 および HV2 の出カトランジスタ NM4 を阻止状態にし、出カトランジスタ NM7 および NM8 を導通状態にし、それ故接地電圧 0V がそのとき出力端子 OUT に供給される。一方入力端子 IN1 または IN2 の一方には供給される論理回路 1 は対応する出カトランジスタ NM7 の動作を生じさせる。これらの状態においては入力端子 IN3 に自己のように論理回路 1 でなければならぬから、出カトランジスタ NM7 および NM8 に阻止され、それ故接地電圧が出力端子 OUT から遮断される。その結果、前記動作している出カトランジスタ NM4 が既にされている同じ名前の電圧端子からの電圧 +V1 または -V2 が出力端子 OUT に供給される。各入力端子 IN1, IN2, IN3 における対応する論理回路 1, 0, 1 および 0, 1, 1 よりなるシナリオが自己電圧回路 HV0 の出力端子 OUT にそれぞれ選択した +V1 および -V2 を出力する。この選択した

回路 HV3 のトランジスタ NM5 は導通状態になり、それ故トランジスタ P2 もまた導通状態になる。その結果正電圧 +V3 が導通したトランジスタ P2 のエミッタ・コレクタ路を通ってトランジスタ NM6 のゲート電圧および端子 T2 に供給され、そのためトランジスタ NM6 もまた導通状態になる。その後、負電圧 -V2 がダイオード D3 および導通しているトランジスタ NM6 のドレイン・ソース路を介して端子 T1 に供給され、この電圧 -V2 はまた出カトランジスタ NM7 および NM8 のゲート電圧にもそれらを阻止するため供給される。

トランジスタ NM7 および NM8 は DMOS トランジスタであるから、再生ダイオード（二示せず）がそれらのソースおよびドレンイ電極間に組合され、このダイオードはこれらのトランジスタの構造に固有のものである。このような再生ダイオードはそのカソード電極が DMOS トランジスタのドレイン電極に接続され、一万ダイオードのアノード電極はトランジスタのソース電極に接続

されていり。-150ボルトまでの正電圧または-150ボルトまでの負電圧のいずれかが回路HV1およびHV2によって出力端子OUTに供給されるから、これらの電圧はまだトランジスタNM1のドレイン電圧にも反映される。それはこの電圧が端子OUTに反映されているからである。出力トランジスタ対NM1およびNM3の代わりにトランジスタNM8だけについて考えると、例えばトランジスタNM8のソース電圧を端子-Vと想定することによって、このトランジスタNM8のドレイン電圧における負電圧(例えば-150ボルト)はそのときこのトランジスタNM8の導通している状態ダイオードを介して接地されるであろう。このことから、トランジスタ対NM1およびNM3は、負電圧がそれらを阻止するためにこのトランジスタ対NM1およびNM3のゲート電圧に供給されるとさ、端子-Vから出力端子OUTを実質的に開放するように逆方向並列に結合されなければならない。

回路HV2においては、トランジスタP1は入

力端子IN2に供給されている負電圧V00によって遮断する。端子電圧V00はしたがって遮断しているトランジスタP1のエミッタコレクタ路を通ってトランジスタNM3のゲート電圧に供給される。トランジスタNM1のソース電圧はトランジスタP2のエミッタ・コレクタ路を通って端子V3に接続されているから、端子T2および抵抗R8、トランジスタNM3は遮断状態になる。それから端子-V2が遮断しているトランジスタNM1のドレイン・ソース路を介して回路HV2の出力トランジスタNM4のゲート電圧に供給される。その結果、回路HV2の出力トランジスタNM4は立ちに阻止され、したがって出力端子OUTからの電圧端子-V2でもある端子T4を遮断する。

入力端子IN1は端子E1、すなわち+12ボルトであるから、回路HV1のトランジスタP1は阻止され、したがって、回路HV1のNMOSトランジスタNM3のゲート電圧は、前にトランジスタP1のエミッタコレクタ路を介して接続され

ていた電圧端子VDDから遮断される。トランジスタNM3は高いゲートキャパシタンスを有しているから、そのキャパシタンスはこのトランジスタNM3が阻止されるまでは高抵抗R7を通して端子-V2にゆっくりと放電される。その時、出力トランジスタNM4のゲート電圧は電圧端子-V2から遮断され、このトランジスタNM4の高いゲートキャパシタンスはトランジスタP2のエミッタ・コレクタ路、端子T2、および抵抗R8を通してそれに供給された正電圧+V3にゆっくりと充電される。少し後に回路HV1のNMOSトランジスタNM4は遮断状態になり、高電圧端子+V1をそのドレイン・ソース路を介して出力端子OUTに供給する。-μ+V3は常に約20ボルト増加された電圧端子+V1に等しく、そのため遮断している回路HV1のトランジスタNM1のゲート電圧は常にそのソース電圧における電圧+V1よりも高く、そのためトランジスタNM1は遮断状態のままである。

高電圧端子HV0の第3の状態において、すな

わら3個の入力信号IN1~IN3が全て論理0を有するとさ、回路HV3のトランジスタNM5は阻止され、それによって電圧が抵抗R9およびR10を通して漏れるのが阻止され、そのためトランジスタP2は阻止されている。その結果およびトランジスタNM6もまた高いゲートキャパシタンスを有するためにトランジスタP2を通して電圧端子+V3に前に接続されていたこのトランジスタNM6のゲート電圧における電圧はゆっくりと減少する。トランジスタNM5が阻止される前に端子T1がダイオードD3およびトランジスタNM6のドレイン・ソース路の或る接続を通して端子-V2に接続され、一方、トランジスタNM6のゲートキャパシタンスの前の充電のために正電圧+V3は端子T2に漏られる。

両回路HV1およびHV2において、それらの端子T1における0ボルトはトランジスタP1を導通させ、そのためトランジスタNM3のゲート電圧はトランジスタP1のエミッタ・コレクタ路を介して正電圧VDDにされる。その結果、ト

トランジスタNMS1に立ちに接続し、そのドレイン・ソース端を通って出力トランジスタNMI1のゲート電圧に負電圧-V2を出力する。それ故出力トランジスタNMI1は立ちに阻止状態になる。HV1またはHV2のいずれかのトランジスタNMI1のドレイン・ソース端を通って出力端子OUTに供給されていた負の電圧電圧+V1または-V2はそのときこの出力端子OUTから遮断される。さらに、電圧-V2はまたトランジスタNMS1のドレイン・ソース端を通って出力MOSトランジスタNMT1、NMI1のゲート電圧に供給される。この負電圧(-V2)はNMI1、NMS1を阻止し、これらのトランジスタに負電圧、逆方偏置に結合された次回路HV1およびHV2のトランジスタNMS1のゲート電圧は阻止され、

このとき、出力端子OUTは負電圧+V1、-V2および逆端子端子0Vのいずれかから遮断される。トランジスタNMS1のゲート電圧は阻止されたトランジスタP2によって負電圧-V3から立

ニッティングダイオードD3により負回路HV1およびHV2のトランジスタP1は阻止される。さらに、トランジスタP2が阻止されているため、端子T2もまたその電圧は端子+V3から遮断されており、逆は負回路HV1およびHV2のトランジスタNMS1を通って流れず、一方トランジスタNMI1は阻止されたままである。この状態においてはトランジスタ中の漏洩電流を抜いては高電圧三端子を実れる逆は負回路HV1およびHV2の抵抗RS1およびRS2を通って逆は端子V00から入力端子IN1およびIN2に流れる電流だけである。それ故、逆止時、すなわちIN1-IN2-IN3-Oであるとき負電圧端子HV0中で消費される電力は最小には少され、逆は電圧0Vが出力端子OUTに供給される。

記述のようにあるするラインストライプ(別表には行)に供給された全てのは負:CSC、RS C、RNASC(ピーク対ピーク 100ボルト、50 Hz)；CC、CNC、(ピーク対ピーク50ボルト、1.5 kHz)およびSTROBE(ピーク

高されているから、このゲート電圧における電圧はトランジスタNMS1が阻止されるまでに立ちと減少する。端子-T2から逆は端子で逆は端子NMT1のドレイン電圧における電圧は抵抗R11を介して出力トランジスタNMI1、NMI1のゲートキャパシタンスの元々により立ちとV1に立ちくなる。この電圧はアロングダイオードD3のためは端子T1に供給されない。そのとき出力端子OUTは逆端子0Vに接続されている。其实、もしも正電圧+V1が端子OUTに供給されていたならば、後者はトランジスタNMI1の動作している再生ダイオードと直列の高還状態のトランジスタNMS1のドレイン・ソース端を通って逆端子0Vに逆はされる。又対に、もしも負電圧-V2が端子OUTに供給されていたならば、後者はトランジスタNMS1の再生ダイオードと直列のトランジスタNMI1のドレイン・ソース端を通って逆端子0Vに逆はされる。

前述電圧端子から端子T1を正式するため、ア

ンピーチ 300ボルト、1.5 kHz)は逆回路端子FPDRの出力端子OUTによりそれに供給される。出力端子OUTにおける電圧+150ボルト、+30ボルトおよび-150ボルト、-30ボルトは逆端子FPDRの各高電圧端子HV0のそれぞれの電源端子+V1および-V2によって供給される。これらの電圧は監視装置SIの出力端子IN1-IN3を介してそれに供給された同じ名前の入力端子IN1-IN3における信号の監視端子IN1-IN3の端子下に各HV0の出力端子OUTに供給される。これらの監視端子IN1-IN3は、対応する非エネーブルは負ENまたはEN-Rが低レベルであるとき監視装置SI中のインバータIN20およびIN21によりラッシュされた逆は端子FREQまたはFREQR、逆は端子SELまたはSEL-Rおよび直列端子DATALC/RまたはDATARC/Rによりそれら自身を制御される。

表示装置LCDの動作は次の表にまとめられて

Sc	Or	Sc	Or	信号	信号名
0	0	0	1	禁止	PSC
0	1	0	1	応答	PNSC
1	0	0	0	不使用	PNCL
1	0	0	1	選択	PCL
1	1	0	0	行末アドレス	CNC
1	1	0	1	行末アドレス	CC
0	X	0	0	不使用	-
X	X	1	X	不使用	-

ここで、OrはDATA LRまたはDATARのいずれかであり、OrはDATA LCまたはDATARCのいずれかであり、SrはSEL LRであり、ScはSELECTである。Xは注意する必要がないことを意味している。前記の表において非エネーブル信号EN CおよびEN Rは論理信号0にあり、50Hzおよび1.5kHzの適当な周波数は信号FRE QC/Rがそれぞれ設置およびクリアのために使用されるとする。さらに、適当な電圧電圧が電圧電圧HVDの電圧電圧+VI、-V2および+V3に供給されることに明白である。

の後者における信号は対応する別における信号は信号DATA Cの側面におけるCNCまたはCCである。信号の別の両端を組合せはこの実現では使用されない。また、設置またはクリアのような付勢動作は、該信号DATA Cとしてリストライプに供給された論理信号1と共に該信号DATA Rとして論理信号0が行ストライプに供給されるととのみ行われる。

以上、この発明の原理を特定の装置と関連して説明して示したが、この説明は専ら表示に過ぎないものであつて、特許請求の範囲に記載された発明の技術的範囲を固定するものではないことを明確に理解すべきである。

#### 4. 図面の簡単な説明

第1図は、この発明の1次統制の改修図の運動装置FPDRを示したマトリックス装置またはフラットパネル型表示装置FPOの構成図であり、第2図および第3図はそれら運動装置FPDRにより生成される信号およびそれらの生成から主導した信号波形を示している。第4図は運動装置F

この点から、及び動作が、リストライプに係るは信号DATA Cとして供給された論理信号1およびSEL CBおよびSEL LRの前者に対する論理信号0として使用された論理信号0のは生成はされることがわかる。該信号群は完全な表示に対してよろず信号がされた行だけに対して行われるから、設置されるべき行は切替信号DATA Rとして論理信号0を持ち、一方設置されるべきでない行は該信号は信号DATA Rとして論理信号1をもつ。対応する信号におけるその信号生成する信号はそれぞれPSCおよびPNSCである。

クリア動作に対しては、行選択信号SEL Rは常に論理信号1であり、一方、列選択信号SEL Cは0のままである。クリアは一時に1行行われ、選択された行は論理信号1の該信号DATA Rを有し、同様する列はそれぞれ該列のクリアセグメントCLまたはクリアPCLに対応して0または1のいずれかである。残りの行、すなわちアドレスされなかつた行は該信号は0として論理信号1を受けれる。前記のようにこれらの行（アドレスされない）

PDORの構成図であり、第5図は第4図の装置中の方向制御回路RLCを示し、第6図は第4図の装置中のクロック回路CKCのロック回路を示し、第7図はクロック回路CKCにより発生された信号波形を示し、第8図は第4図の装置中のインターフェイス回路ICを示し、第9図は第4図の装置中の論理装置LDOを詳細に示し、第10図は第4図の装置中の電圧電圧HVDを詳細に示す。

LCD—液晶表示装置、FPDR—運動装置、HVD—高電圧電源、RLC—方向制御回路、CKC—クロック回路、IC—インターフェイス回路、LDO—論理装置。

出願人代役人 兼良士 佐江武彦

回路の構成(内部に記述なし)

Fig.1.

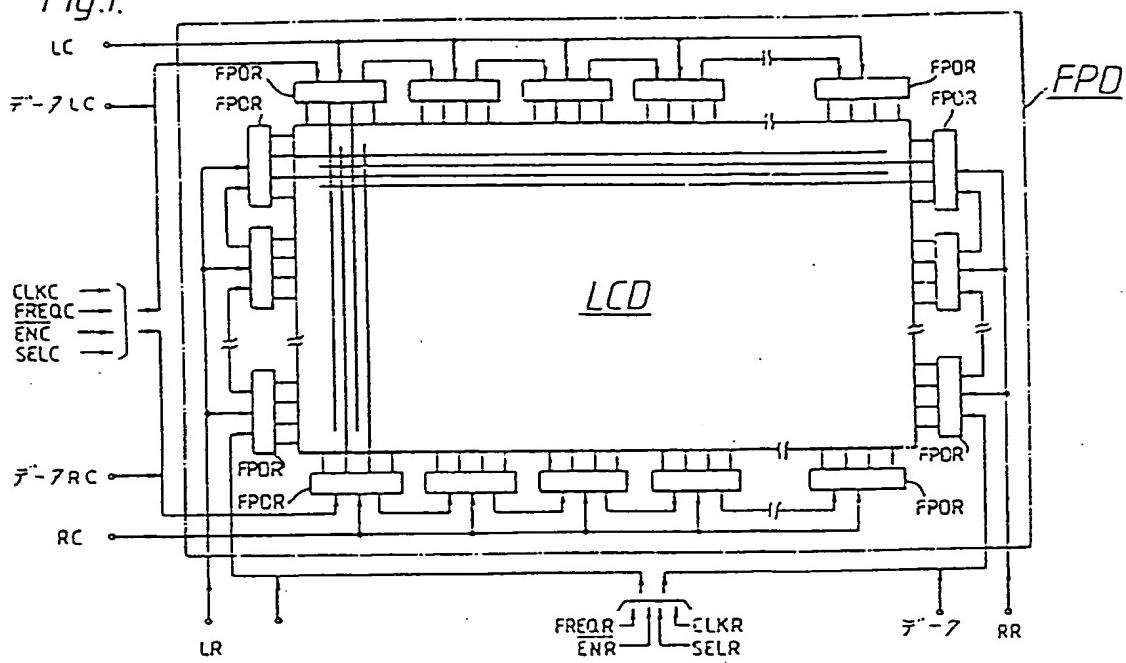


Fig.2.

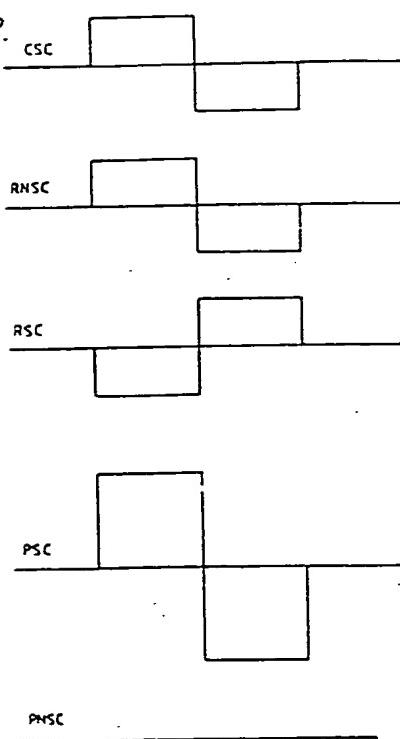
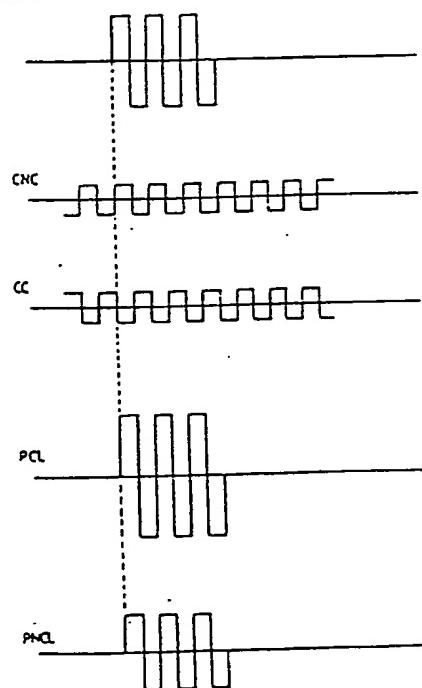


Fig.3.



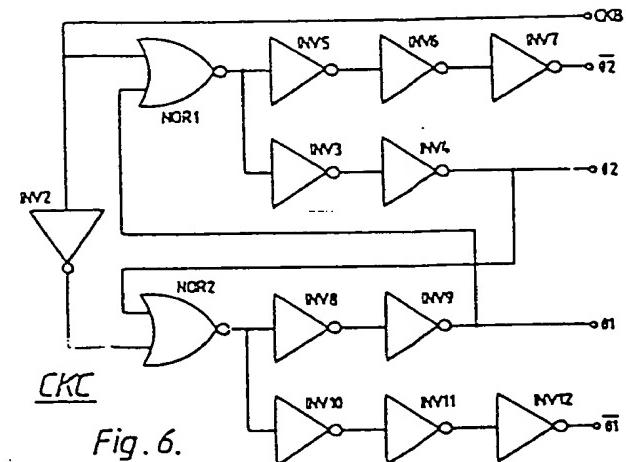
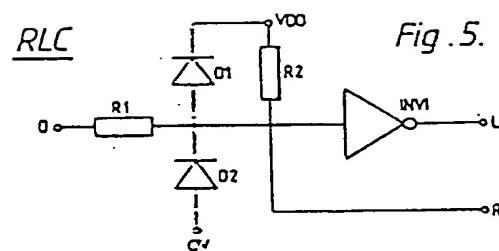
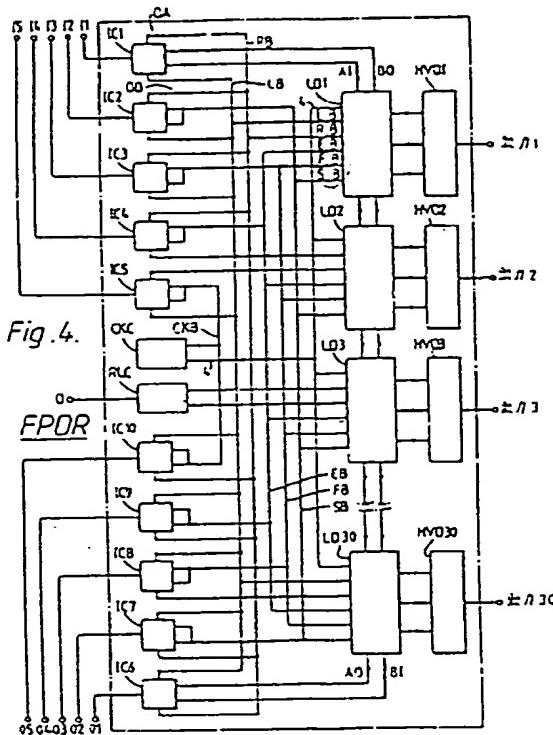


Fig.7.

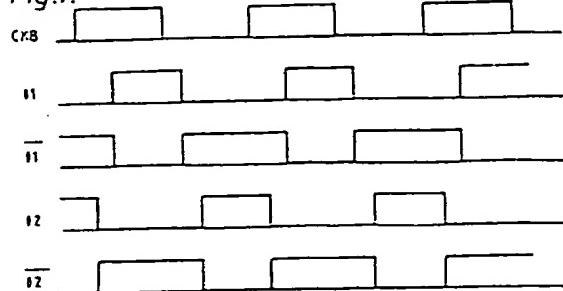
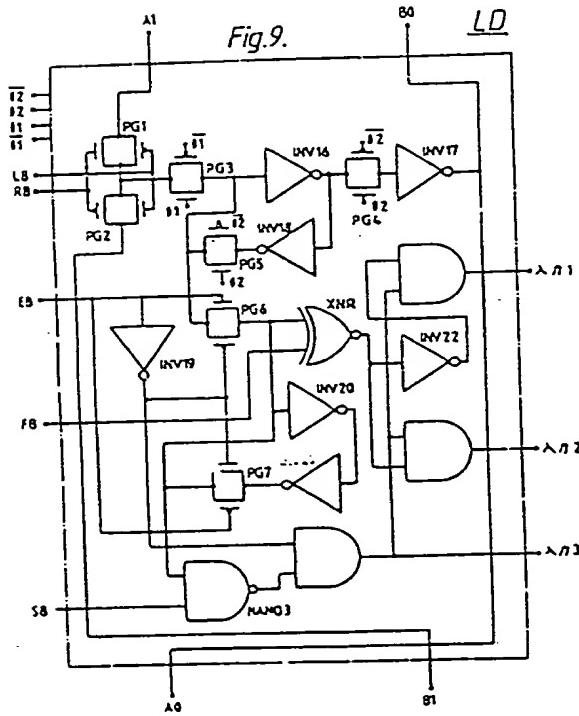
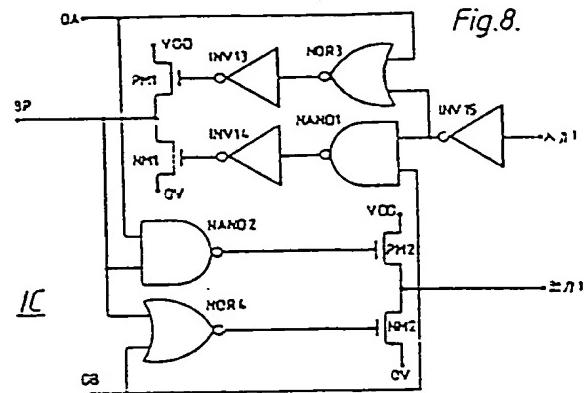
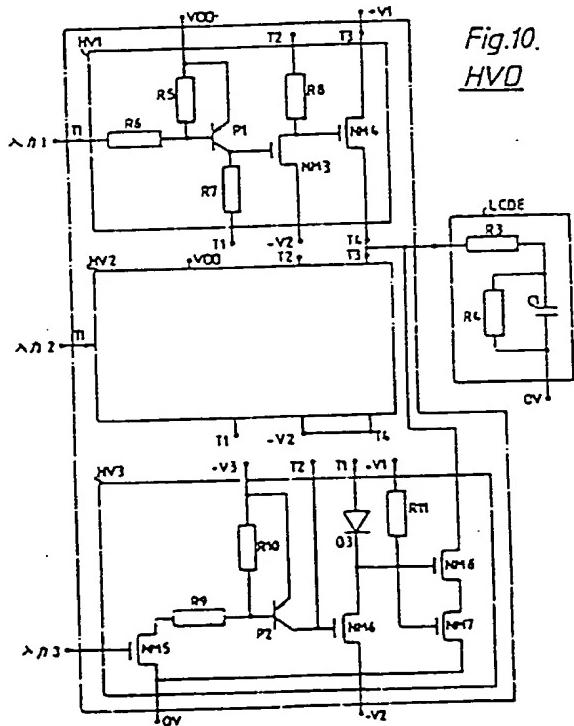


Fig.8.

Fig.10.  
HVD

手 続 類 正 善 (方式)  
m m 60.9.18 n

特許庁長官 守 貞 道 三

1. 事件の表示

特許号 60-117630号

2. 発明の名称

スイッチング回路およびそれを  
使用するマトリックス装置

3. 請正をする者

事件との関係 特許出願人  
インターナショナル・スタンダード・  
エレクトリック・コーポレイション

4. 代理人

氏名 江東区北河原ノ門1丁目26番5号 第17号ビル  
〒105 村井 03 (502) 3181 (大代表)



氏名 (53:7) 井坂士 錦 江 武 彦

5. 請正命令の日付

昭和 60 年 8 月 27 日

6. 請正の対象

委任状およびその訳文、図面

7. 請正の内容 別紙の通り

図面の修正 (内容に変更なし)



60.9.18